

電荷積分と時間-電圧変換回路搭載 LSI の 量産評価

後田 司*

Evaluation of integrator and time-to-amplitude converter LSI after mass production

Tsukasa Ushiroda

1.はじめに

2000年、米国ブルックヘブン国立研究所において相対論的重イオン衝突型加速器 (Relativistic Heavy Ion Collider: RHIC)を用いた高エネルギー原子核衝突実験が始まった。PHENIX [1]はそこで行われている実験装置のひとつであり、東大を中心とする日本グループは Ring Imaging Cherenkov (RICH)検出器を担当している[2]。本研究では、RICH読み出し回路システム[3]に組み込む大規模集積回路(LSI)の量産評価を行った。

この LSI には光電子増倍管 (Photo-Multiplier Tube: PMT)の信号が入力される。この LSI は、電荷と時間を電圧に変換するためのアナログ-デジタル混載回路で構成されており、Orbit 社の 1.2 μ m CMOS プロセスを用いて開発された。現在までに約 1 万個の量産を終了している。このように大量生産された LSI には、製造上の問題で特性のばらつきや故障が発生する。このような不良は、製造上の問題だけではなく設計の問題であることも多い。このため、大量生産に適した設計法の研究が必要となる。一方、このような物理学実験にはある一定の測定精度が要求されているため、精度を満たす LSI の選別をする必要がある。アナログ-デジタル混載 LSI の場合は、この選別方法も重要な研究テーマになってきている。

本研究では、パッケージング後の専用基板を用

いた実装テスト方式により電荷積分と時間-電圧変換回路搭載 LSI の量産評価を行った。この評価の結果、測定データを考察し歩留まりを上げるための設計方法の指針を作った。また、この評価を通して将来のアナログ-デジタル混載 LSI のテスト方法についての考察も行った。

本論文では、2章で本研究で利用したシステムの構成を述べる。3章ではこの LSI の主要測定項目に関する測定結果を示す。4章では考察とともに測定方法の改良案も示唆している。最後に5章でこの研究のまとめを述べる。

2.評価システム構成

2.1 LSIの回路構成

この LSI は特定用途向け LSI (Application Specific IC: ASIC)であり、米国オークリッジ国立研究所を中心として開発された[4,5]。図1に1チャンネル分の回路構成を示す。回路は電荷積分回路 (Charge Integrating Amplifier: CIA)、可変利得増幅器 (Variable Gain Amplifier: VGA)、トガ生成回路 (Constant Fraction Discriminator :CFD or Leading Edge Discriminator: LED)、時間-電圧変換回路 (Time-to-Amplitude Converter: TAC)、校正回路 (Calibration Circuit)により構成されている。1つの LSI は 8 チャンネル分の回路で構成されている。

*指導教員 助教授: 田中 義人

大学院電子情報学専攻 (現、株式会社インタフェース)

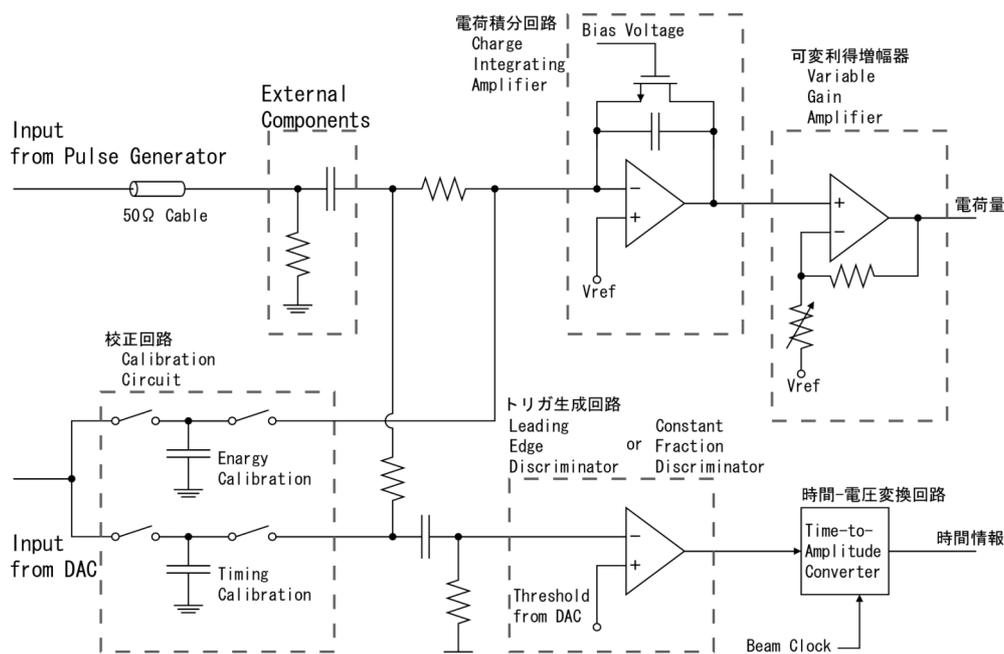


図 1 LSI システム構成

これらの回路のうち DAC(Digital-to-Analog Converter)、VGA などは外部よりデジタル的に送られてくるシリアルデータにより設定を変更することができる。

回路図の上段は電荷量を電圧に変換する回路である。電荷量は CIA により電圧に変換し、VGA で増幅される。この VGA は 5Bit のシリアルデータで 4 ~ 12 倍までの倍率を設定することができ、次段 ADC (Analog-to-Digital Converter) のダイナミックレンジに合わせて出力を調整するためのものである。

回路図の下段は時間情報を電圧に変換する回路である。PMT からの信号がトリガ生成回路のしきり値を越えたときに出力されるスタート信号と、ビームクロックと呼ばれる加速器同期信号との時間差により信号の発生した時間を得ることを目的としている。トリガ生成回路には CFD と LED の 2 つのモードがある。CFD は、信号の波高値の違いによるジッターをできる限り小さくするためのもので、測定の必要に応じて利用する。TAC はスタート信号からビームクロックでストップするまで一定のランプ電流を積分する回路で構成されている。このランプ電流は 6Bit の電流出力型 DAC の設定値

により変更することができる。

2.2 測定システム構成

測定システムの構成を図 2 に示す。測定システムはデジタル・マルチメータ、デジタル・オシロスコープ、プログラマブル・パルス・ジェネレータ、テストボード、パーソナルコンピュータ(PC)より構成される。デジタル・マルチメータは電圧測定用、デジタル・オシロスコープは波形の確認と波形データの取り込み用である。PC とこれらの測定機器は GPIB を用いて接続されている。デジタル・オシロスコープとデジタル・マルチメータの測定値は GPIB を介して PC に読み込まれる。PC とテストボードは I/O ボードを用いて接続されている。これにより LSI とテストボードの初期設定、テストボード上での測定のタイミング制御を行う。テストボードには、GPIB 制御されたプログラマブル・パルス・ジェネレータにより信号が入力される。また、テストボードには 14Bit ADC が搭載されており LSI からの出力をデジタルデータに変換する。このデジタルデータは I/O ボードを通して PC に読み込まれる。

2.3 測定方法

大量の LSI を測定する必要があるため PC に LabView を導入し、オートメーション化がはかられている。まず、各テスト内容に合わせて初期設定が行われる。測定が開始されるとプログラマブル・パルス・ジェネレータより幅 10nsec(電圧 0.3V ~ 1.3V)の三角波が出力される。この信号は低周波ノイズをカットするためにハイパスフィルター(カットオフ周波数 21.22kHz)を通して LSI に入力される。LSI からの出力電圧は ADC によってデジタルデータに変換され、終了した測定ごとに順次 PC に取り込まれる。次にデジタル・マルチメータとデジタル・オシロスコープより GPIB 経由でデータを取り込む。1 項目に対してこの動作を 100 回繰り返し、測定を行う。測定データは PC 上でテキストデータとして保存される。デジタル・オシロスコープの波形は、100 回の平均値と標準偏差を保存する。

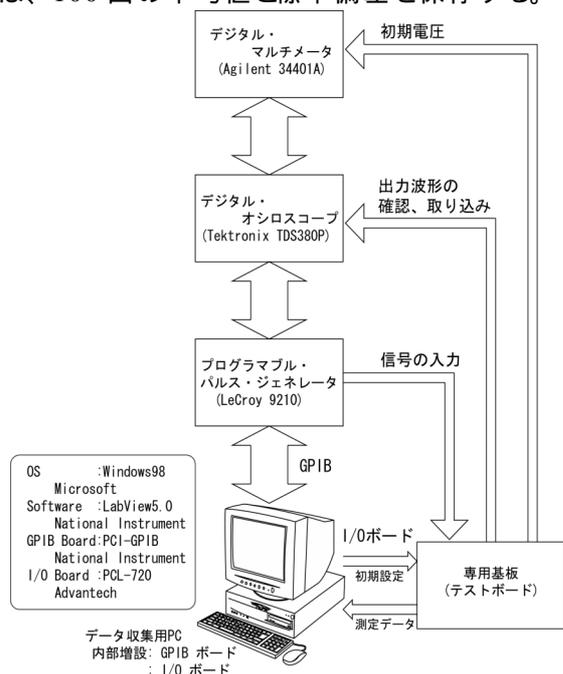


図2 測定システム構成

3.測定結果

表 1 に 1000 個の LSI を測定したときの、測定項目の歩留まりへの寄与と測定時間を示す。これより歩留まり低下の原因の 70% は TAC であること

がわかった。1 つの LSI はテスト時間は約 14 分かかったが、テストシーケンスの改善で 7 分まで短縮できた[6,7]。

表 1 不良率と測定時間

Test	Defect Rate(%)	Defect Criterion	Time (min)
Serial Set	6.24	No Response	0.2
DC Bias	1.67	Reference Value	0.3
Output Signal	4.14	No Response	1
VGA Cal.	3.07	No Response	1.5
TAC Cal.	3.39	No Response	1.5
VGA Gain	2.21	No Response	2
TAC	37.17	No Response	
TAC RMS	70.68	RMS > 4.3nsec	1
TAC RAMP	7.91	No Response	0.5
Trigger SUM	3.55	No Response	
TS Offset	40.38	Offset > 200mV	6

容量と抵抗ばらつきの測定は、量産された 1 万個のうち無作為に選んだ約 300 個の LSI を用いて行った。また、TAC の測定ではヒストグラムを作成するため 2000 回繰り返し測定を行った。テスト開始時、PHENIX 実験の要求を満たした LSI の歩留まりは約 10% であった。しかし、入力信号のジッターを考慮した測定を行うことで約 30% まで向上した。

3.1 容量のばらつき

TAC は電流源と積分器により構成されている。TAC の出力電圧の個々の LSI におけるシステムティックなばらつきから、積分器に使われている容量の製造ばらつきを推定した。図 3 に TAC の時間-電圧特性のグラフを示す。縦軸は TAC の出力電圧、横軸は積分時間である。定電流源は 20 μ A になるように設定してある。TAC の電流源のばらつきは約 0.6% であることを利用して容量のばらつきを推定した[8]。TAC の出力電圧は式(1)で表され、ばらつきは式(2)より推定する。

$$V = \frac{I}{C}t + b \quad \dots \text{式(1)}$$

$$\frac{\Delta V}{V_o} = \frac{t}{C} \cdot \frac{\Delta I}{I_o} - \frac{I}{C^2}t \cdot \frac{\Delta C}{C_o} \quad \dots \text{式(2)}$$

ここで t は積分時間、 b は出力電圧のオフセット、 I は定電流源の電流、 C は容量である。 t と C はそれらの製造ばらつきを表している。 V_o 、 I 、 C は設計(または設定)値を表している。

この結果、容量のばらつきは 2.65% であった。一般的な LSI の容量の製造ばらつきが 5% 程度であるといわれているが、半分程度のばらつきであることがわかった。

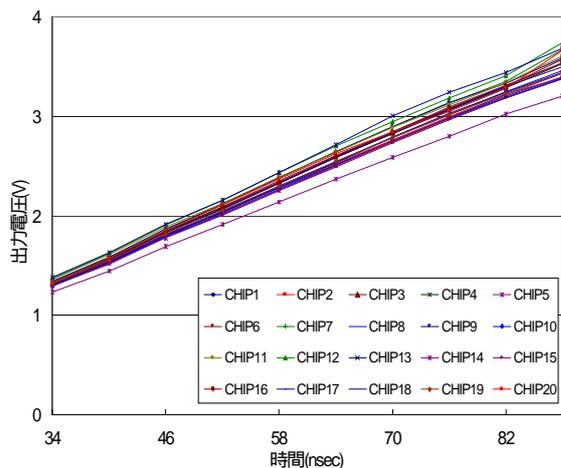


図 3 時間-TAC 電圧の LSI 毎のばらつき

3.2 TACのばらつき

図 4 に各チャンネルごとの TAC 出力特性を示す。このグラフから上位のチャンネルになるごとに出力電圧が下がってきていることがわかる。これは LSI 内部での伝搬遅延時間の差によるものと考えられる。TAC の解析では出力値のズレを考慮して同チャンネルでのみ比較を行った。

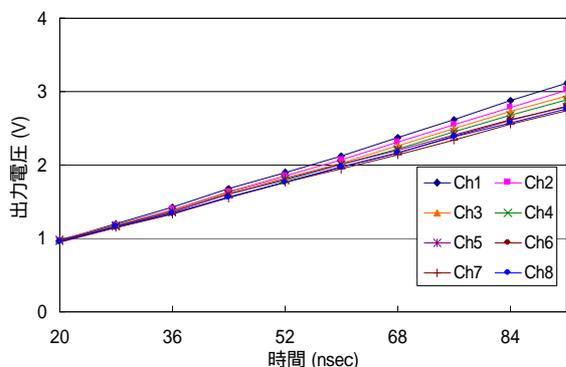


図 4 TAC 出力電圧のチャンネル毎のばらつき

図 5 に TAC を用いて一定の時間差を測定した

時の分布を示す。このヒストグラムはテストボードから取り込んだ実測値から期待値を差し引いてグラフ化しているため、中心値は 0 の周りに分布している。縦軸は測定頻度で、横軸は TAC 出力電圧をデジタルデータに変換した値である。

今回のテストでは鋭いピーク(ピーク1)以外に幅の広いピーク(ピーク2)が確認された。しかし、PHENIX 実験で使用される RICH 読み出し回路システムではピーク2は確認されていないため、テストボードの特性に関係したものと考えられている。単純に全体の標準偏差を求めると 808.25psec となるが、ピーク1のみでは 114.375psec となる。TAC には 200psec 以下のタイムジッタが要求されているが、ピーク1だけなら要求を満たすことができる。現在、全体の RMS 値で TAC 精度を求めているが、ピーク1のみを抽出する様なテストシステムに変更することで、さらに数 10% の歩留まりの向上が見込める。

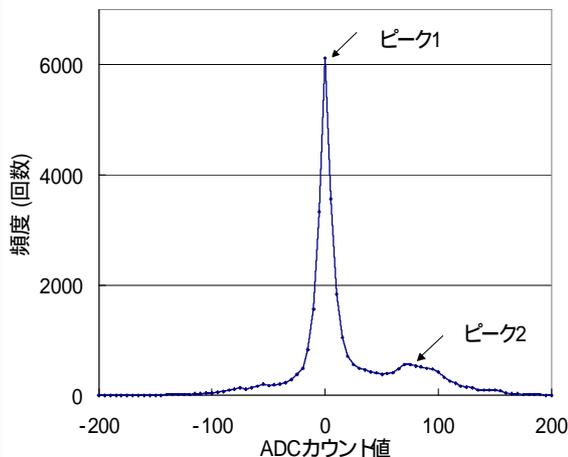


図 5 TAC 時間測定時のヒストグラムの分布

3.3 抵抗のばらつき

VGA は抵抗ネットワークと OP アンプにより構成されている。LSI 内部の抵抗の相対的誤差は小さいと仮定して、VGA の出力電圧から抵抗の製造ばらつきを求めた。ここで、VGA の出力電圧に含まれる CIA の製造ばらつきによる誤差を 2.65% と仮定し、倍率ごとの抵抗のばらつきを推定した[8]。

図 6 は VGA の倍率ごとに平均値とばらつきを示したものである。グラフの縦軸が倍率で、横軸は

VGA の倍率を制御するシリアルコードである。抵抗のばらつきは倍率を上げるにしたがって 0.8 ~ 1.68%に大きくなっている。これは VGA が倍率を上げるとき複数の抵抗を利用しているためと考えられる。

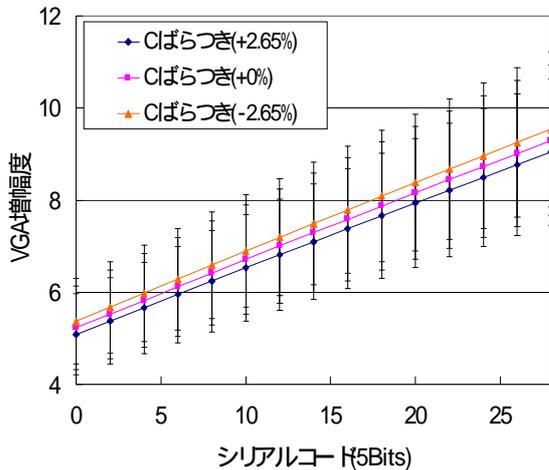


図 6 シリアルコードVGA 増幅度の平均値とばらつき

4. 考察

4.1 レイアウト

アナログ回路の場合はトランジスタの増幅度ばらつきより、抵抗や容量のばらつきが出力に大きな影響を与える。特に抵抗の比によって倍率を決める VGA は影響が大きい。ばらつきを抑え精度の高い素子を実現するには抵抗や容量のばらつきを考慮したレイアウトが必須である。

図 7 に高精度抵抗のレイアウトを示す。このレイアウトは非常に高い精度が必要なとき有効なレイアウトである。このレイアウトでは境界領域におけるエッチング進行速度を近似するため、ダミー抵抗を用いて境界条件を等しくしている。さらに抵抗をコモンセントロイド形状にレイアウトして、拡散の深さの分布などによる抵抗分布を均一化している。また、製造ばらつきはチャンネル長 L とチャンネル幅 W が小さいほど大きい。これは面積を大きくする方がアンダーカット効果による影響が少ないためである。このため縦横の比が同じでも面積を大きくする方が高精度の抵抗を実現できる。このようなレイ

アウトを用いることにより、抵抗の精度を改善することができる。

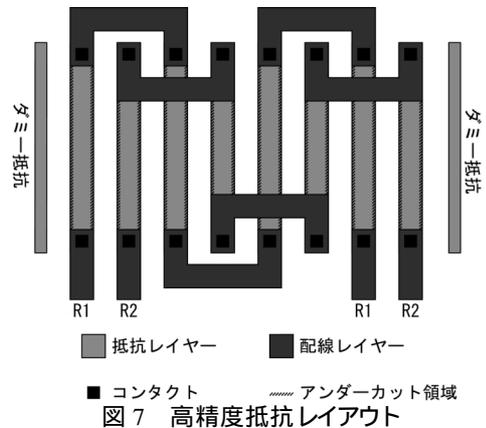


図 7 高精度抵抗レイアウト

図 8 に高精度容量のレイアウトを示す。容量誤差の原因はアンダーカットによる面積の変化と酸化膜厚の勾配に起因する。このうち、容量の面積を変化させるアンダーカット効果は LSI の製造過程で必ず起こる。この影響を最小に抑えるため、同じサイズの容量を並列に接続することで必要な容量を実現する。これにより容量の相対的ばらつきを抑えることができ、正確な容量比を得ることができる。また、抵抗と同じように境界領域におけるアンダーカット効果によるばらつきを防ぐため、ダミー容量を用いる。さらに、図 8 のように極めて近い場所に容量を配置したり、コモンセントロイド形状にすることで酸化膜厚の勾配によるばらつきを小さくできる。[9]。

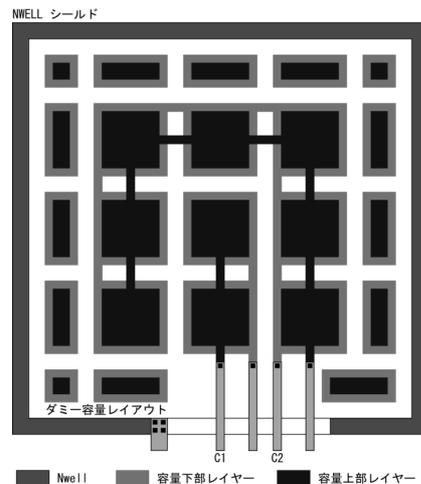


図 8 高精度容量レイアウト

4.2 テスト方法

アナログ-デジタル混載 LSI はウェハー上ではテストが難しいため、簡単なテストのみを行い、パッケージング後にもテストを行う。このような方法ではコストや時間の面で不利であるとともに、測定装置や測定環境の影響を受けやすい。このため、できる限りウェハー上でテストする方が望ましい。

アナログ-デジタル混載 LSI のテスト方法として Built In Self Test (BIST)方式が提案されている。これは LSI 内部にテスト回路を埋め込む方法である。これにより通常のデジタル回路同様にウェハー上でのテストを行うことが可能になる。しかし、BIST 回路には大きな問題が 2 つある。1 つは集積度の問題である。通常動作に必要な回路以外を実装するため面積効率が悪くなる。2 つめはテスト回路自身の精度に対する問題である。BIST 回路自身もアナログ-デジタル混載回路のため必ず容量や抵抗にの製造ばらつきに依存する。このため回路ごとのばらつきを含めないためにも極めて精度の高い設計が必要とされる。

5.まとめ

本研究では PHENIX 実験に使用される電荷積分と時間-電圧変換回路搭載 LSI の評価を行った。量産された LSI の精度測定からアナログ-デジタル混載 LSI の精度を高めるための設計指針を考察することができた。これまでチップの歩留まりは約 10%と低かったが、テストシステム自体の問題を考慮することにより約 30%に向上した。さらに、TAC の幅(RMS)の測定法を改善すれば数 10%の向上が見込まれる。しかし、これ以上の歩留まりの向上が必要ならば 4 章で述べた高精度レイアウトを用いて抵抗、容量の精度を上げることやノイズを考慮した設計をすることが必要となる。

今後のアナログ-デジタル混載回路の測定方法として BIST 回路搭載 LSI の提案を行った。BIST 回路にはまだ様々な問題があるが今後研究が進

めば非常に有効な測定方式となりうる。

なお、本研究で測定した LSI は今後、PHENIX 実験における検出器に組み込まれ使用されることになっている。

参考文献

- [1] W.L.Kehoe, et.al, "PHENIX Conceptual Design Report", Brookhaven National Laboratory, New York, USA, 1993.
- [2] Y.Akiba et.al, "Ring Imaging Cherenkov detector of PHENIX experiment at RHIC", Nuclear Instruments and Methods in Physics Research, pp.143-148,1999.
- [3] Y.Tanaka et.al, "Front-end readout system for PHENIX RICH", Nuclear Instruments and Methods in Physics Research, pp.576-588,2000.
- [4] A.L.Wintenberg et al, "A CMOS Integrating Amplifier for the PHENIX Ring Imaging Cherenkov Detector", IEEE Transaction on Nuclear Science, Vol. 45, No. 3, pp. 758-763,1998.
- [5] A.L.Wintenberg et al, "A CMOS Variable Gain Amplifier for PHENIX Electromagnetic Calorimeter and RICH Energy Measurements", IEEE Transaction on Nuclear Science, Vol.44, No.3, pp.326-330, 1997.
- [6] T.Ushiroda et al, "Testing Method of INT-R Chip", CNS Annual Report University of Tokyo, CNS-REP-25,pp.27-28,2000.
- [7] 後田 司,他. "MOSIS で設計されたアナログ混載 LSI の量産評価", 電気関係学会九州支部連合大会講演論文集,pp397,2000
- [8] 後田 司,他. "電荷積分と時間-電圧変換回路搭載 LSI の量産評価", 長崎総合科学大学大学院修士論文,2000
- [9] J.Franca,Y.Tsividis, "DESIGN OF ANALOG-DEGITAL VLSI CIRCUITS FOR TELECOMMUNICATIONS AND SIGNAL PROCESSING", Prentice-Hall,Inc.