

増田隆志 福富雅彦 田中義人  
(長崎総合科学大学)

## 1. はじめに

オペアンプ(演算増幅器)は、センサ回路、音声・画像処理回路、フィルタ回路など広い用途に活用されており、アナログ要素回路の中で最も有用な能動素子の一つである。本研究では、応用回路として必要な性能を持つ MOS-OP アンプのマクロ化を試みるため、VDEC を利用しオペアンプの設計・評価を行った。本稿では、オペアンプの構成と、シミュレーション・測定結果による評価について述べる。

## 2. 回路構成及び設計

図1は、オペアンプの回路図である。このオペアンプの構成は、標準の CMOS 2 段増幅器である。差動増幅部分は nMOS 差動増幅回路よりもスルーレートが大きい pMOS 差動増幅回路を用いた。また、大きな利得を得るために出力段に nMOS ソース接地増幅器を用いた。このオペアンプの設計パラメータは、図1の回路図中に示されている。

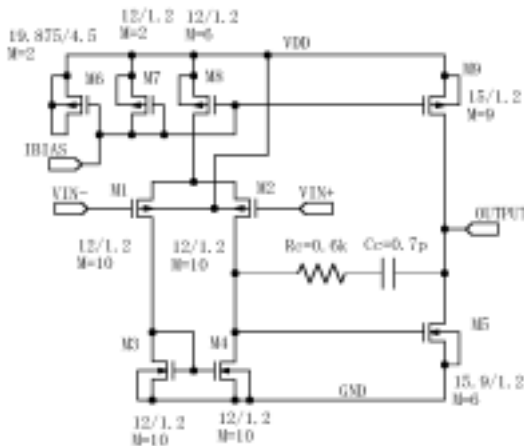


図1 オペアンプの回路図

## 3. レイアウト設計

このオペアンプの設計には、ROHM 社の  $0.6\mu\text{m}$  CMOS プロセスを使用した。レイアウトの設計は、Cadence 社のレイアウトエディタ、回路シミュレーションには、Avant!社の Star-Hspice を使用した。

図2は、このオペアンプのレイアウト図である。MOS アンプの雑音は、 $1/f$  雑音が支配的で、オペアンプの雑音は初段の差動増幅回路によって決まり、その大きさは、差動対トランジスタのゲート面積によることが知られている。このオペアンプはプロセスのばらつきによる影響を少なくするため、コモンセントロイド方式で10個のトランジスタを用いて構成した。このオペアンプは、約  $11.4 \times 10^3 \mu\text{m}^2$  の面積で構成できた。

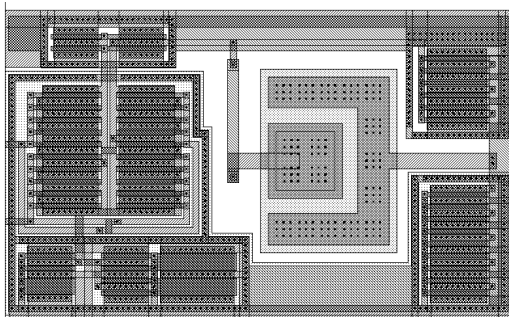


図2 オペアンプのレイアウト

## 4. シミュレーションと測定結果の比較

シミュレーションの結果、 $I_{\text{bias}}=100\mu\text{A}$  のとき、スルーレートの立ち上がり  $S=800\text{V}/\mu\text{s}$ 、オフセット誤差  $=0.01[\text{V}]$ 、オープンループゲイン  $=68\text{dB}$ 、フェーズマージンが  $36^\circ$ 、GB 積が  $310\text{MHz}$  となった。

図3にDC特性のシミュレーションと測定結果グラフを示す。ただし、ゲインはフィードバック抵抗を用いて100倍 ( $40\text{dB}$ ) に設定している。シミュレーション結果は実線、測定結果は点で示している。グラフよりシミュレーション通りの測定結果が得られていることがわかる。このとき、シミュレーションは測定器の負荷容量を付加している。

図4にAC特性のグラフを示す。ただし、ゲインはフィードバック抵抗で2倍に設定されている。シミュレーション結果は実線、測定結果は点線で示している。シミュレーション値では  $10\text{MHz}$  以降からゲインが減少しているが実測の値は  $2\text{MHz}$  付近から利得が減少している。シミュレーションではレイアウトより寄生容量等の抽出を行った、SPICE ファイルを用いているにもかかわらず、これだけの差異が出たため現在原因を調査している。この差異は、負荷容量にすると約  $1\text{nF}$  程度に相当する。

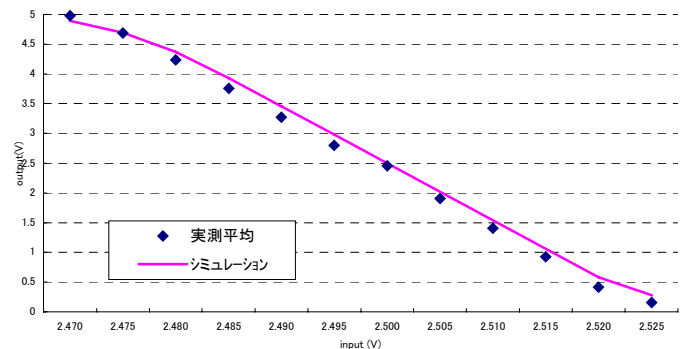


図3 DC特性

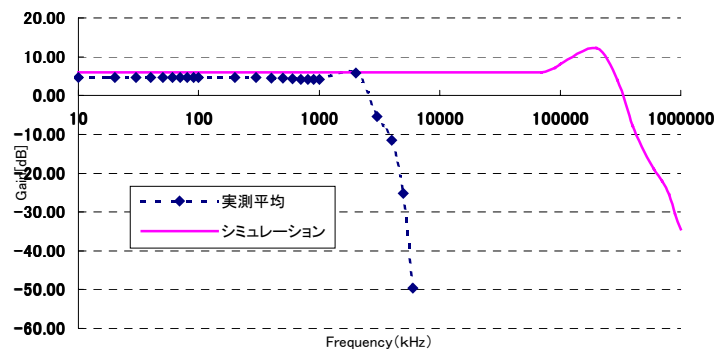


図4 AC特性

## 5. まとめ

本研究では、VDEC プロセスを用いてオペアンプマクロ化の設計・評価を行った。AC特性は、負荷容量の違いからシミュレーションと測定結果に違いが出ているが、今回設計したオペアンプの設計パラメータで応用回路として必要な性能特性を有する MOS-OP アンプが実現できる事を確認できた。

本チップ試料は東京大学大規模集積システム設計教育研究センターを通して ローム(株)および凸版印刷(株)の協力で行われたものである。