

# 高分解能電荷逐次積分 LSI の開発

福富 雅彦\*

## Development of high resolution Charge Successive Integrator LSI

Masahiko Fukutomi

### 1. はじめに

テレスコープアレイ(TA : Telescope Array)計画では、光電子増倍管(PMT : Photo-Multiplier Tube)から送られてくる電荷を電圧に変換する96dB (16 ビット分)のダイナミックレンジを持つ電荷積分器を必要としている[1]。この計画では、宇宙線が飛来したとき大気中で発光する蛍光を連続的に観測する。このため、積分器は5MHzで連続的に電荷-電圧変換を行う必要がある。現在、この回路には、ディスクリート部品を用いた開発・試験が行われている[2]。しかし、実際の実験では、約10万個を使用するため、LSI化が不可欠となって来る。

近年、半導体プロセスの進歩に伴いアナログ-デジタル混載のCMOS LSIの開発・研究が盛んになっている。この研究では、東京大学大規模集積システム設計教育研究センター(VDEC : VLSI Design and Education Center)を利用して[3]、TA計画での利用を目的としたCMOS電荷逐次積分LSIの設計・試作を行った。

CMOSのアナログ-デジタル混載LSIには、設計上のさまざまな困難がある。まず第1には、デジタル回路の発生するノイズをいかにアナログ回路に伝播させないかである。第2に、CMOSは $1/f$ ノイズがバイポーラより10~100倍大きく、低周波ノイズの小さい回路をいかに作るかである。第3に、バイポーラより原理的に増幅度の小さいMOSトランジスタを用いて、優れた特性をもつアナログ部品を設計することである。この研究では、これらの困難をひとつずつ解決して、所望の電荷逐次積分LSIを開発することを目的とする。

本研究では、デジタル回路から発生するクロックノイズ、サブストレートノイズをアナログ部へ伝播させないような設計技法について述べるとともに、CSIの測定・評価についても述べる。最後に、この評価で明らかとなった問題点を改善させた量産化試作について議論した。

### 2. 電荷逐次積分回路

#### 2.1. 動作原理および特徴

電荷積分器は、電荷を電圧に変換する回路である。電荷積分器は、外部より入力されるホワイトノイズの影響を受けない測定ができる特徴をもっている。しかし、積分時間より長い低周波ノイズやLSI自身から発生するノイズの影響は受ける。一般的に低周波ノイズに関しては、ベースラインと信号を連続してサンプリングを行い、その差をとることで除去できる[4]。また、LSI自身のノイズに関しては、できる限り小さくするような設計が必要である。

TA計画では、DSP(Digital Signal Processor)を用いてベースライン揺らぎをモニターしている。信号の大きさは、サンプルされた信号からベースラインをデジタル的に差し引くことで求められ、このとき低周波ノイズも除去される。電荷逐次積分回路(CSI : Charge Successive Integrator)は、このようなシステムで利用されることを前提として開発が進められている。

図1にCSIの回路図を示す。CSIはOPアンプを用いた4個の積分器とスイッチ群より構成されている。それぞれの積分器は、サンプル(Sample)、保持(Hold)、放電(Discharge)、待機(Wait)

の4状態を持っており、スイッチにより循環的に切り替えられる。保持状態のとき、出力電圧はアナログ-デジタル変換が行われる。

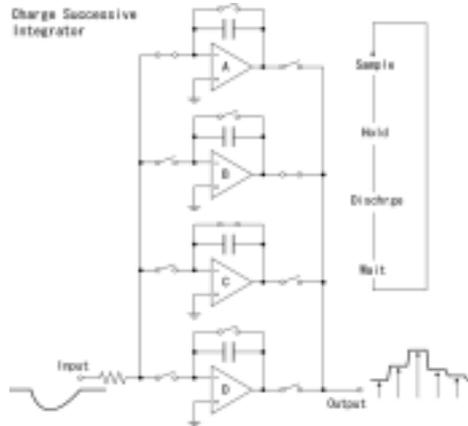


図1 電荷逐次積分回路

## 2.2. LSIの構成

CMOSのアナログ-デジタル混載のLSIでは、96dBのS/Nを確保することは非常に難しい。このため、違ったレンジを持つ2つのCSIを切り替える構成とした。それぞれのCSIは、72dB(12ビット分)のS/Nを達成することを目標とし、1倍と16倍(4ビット分)に増幅された入力信号を信号の大きさに応じて切り替えながら出力する。非常に小さな信号は、外部の高性能バイポーラ増幅器で16倍に増幅され、LSI内部のノイズの影響を受けないレベルにして入力する。

図2は、1チャンネル分のCSIの構成図を示している。1倍(x1)と16倍(x16)の入力信号は、4つの積分器(Integrator)を1組とした積分回路部にパストランジスタを通して入力される。パストランジスタは、Rotatorにより5MHzの外部クロック(CLK)に同期して循環的にON/OFF制御される。Comparatorは、入力信号の大きさによりレンジを切り替えるためのものである。このComparatorのスレッシュホールドは6ビットのデジタル-アナログ変換器(6bitDAC)より与えられる。選択されたCSIの出力は、パストランジスタを通して出力(CHIP\_OUT)される。どちらのレンジが使われたかという情報は、High/Low Signalで出力される。LSI外部に搭載する高精度OPアン

プのバイパス回路(10bitDAC)も搭載している。2つのDACはシリアル接続されていて、外部よりSdataとSCLKを用いてシリアルデータとして与えられる。今回、開発したLSIは、4チャンネル分のCSIを搭載している。ただし、Rotatorは各チャンネル共通で使用されている。10bitDACも1回路のみである。

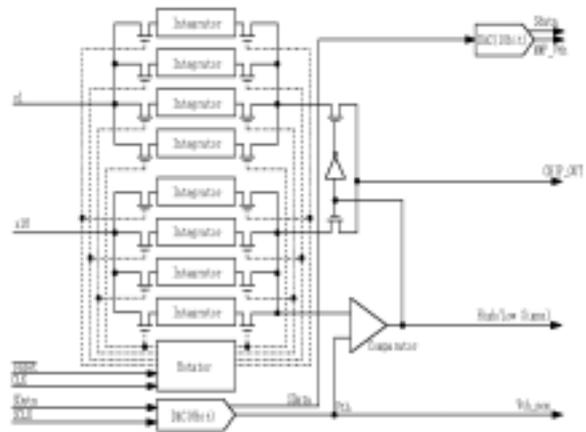


図2 CSIの構成図(1チャンネル分)

## 2.3. LSI設計

表1、2、3、4にCSIに使用した部品的设计パラメータを示す。OPアンプとコンパレータの値はシミュレーション値である。

表1 パストランジスタ設計パラメータ

パストランジスタ Ron ~ 300		
NMOS	W/L	10.8 $\mu\text{m}$ / 0.6 $\mu\text{m}$
PMOS	W/L	43.2 $\mu\text{m}$ / 0.6 $\mu\text{m}$

表2 OPアンプ設計パラメータ

OPアンプ	
オープンループゲイン	70.3dB
フェーズマージン	40°
スルーレート	155.6V/ $\mu\text{s}$
セトリングタイム	51.5nsec
積分器用コンデンサ	26.5pF

表3 コンパレータ設計パラメータ

コンパレータ	クロック式	リニア
オーバードライブ電圧	6mV	29mV

表4 CSIの入出力レンジ

電源電圧	5V
入力可能電圧	0.5V ~ 4.5V
出力可能電圧	1V ~ 4V

今回、開発したLSIは、ROHM社の0.6 $\mu$ mルールCMOSプロセスを使用した。LSI設計ではCadenceのツールを用いた。

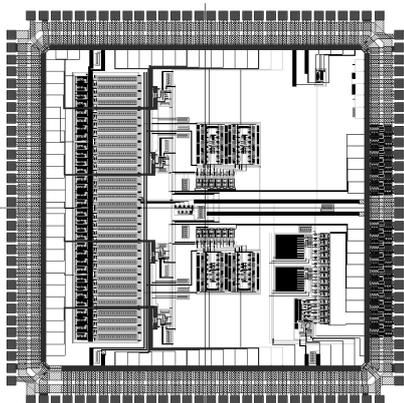


図3 テスト用LSIのレイアウト(4.5mm角)

図3にテスト用のLSIのレイアウトを示す。図の左側に4チャンネル分のCSIがあり、中心部には、6bitDAC、Rotatorが配置されている。電源供給は、22.5 $\mu$ m幅のラインを使用、各レンジ4個のCSIにはすべて左上部から、その他はブロックごとにその近傍から行われている。

### 3. 測定結果

シミュレーションは、DIVAを用いてレイアウトの寄生容量抽出後、HSPICE (Level 28)を用いて行った。このときSPICEのモデルライブラリは、ROHM社から提供されているものを用いた。さらにLSI試作後、専用のテスト基板(4層FR4)を製作し実測を行った。

#### 3.1. 過渡特性

図4と5とは、CSIに三角波(幅2 $\mu$ s 振幅0.2V)を入力したときの過渡特性を示している。実測は、パルスジェネレータをもちいて信号を入力した。階段状の波形がCSIの出力で、滑らかな

逆向きの三角波が入力信号である。

シミュレーションでは、スパイク上のノイズが観測されるものの正しく動作していることがわかる。実測波形は、測定器や測定回路の寄生容量等のため波形がなまっているもののシミュレーションと同様に動作していることがわかる。ただし、入力三角波が対称でないために出力波形が対称でない。

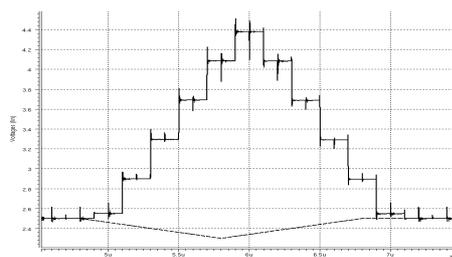


図4 CSI過渡特性(シミュレーション)

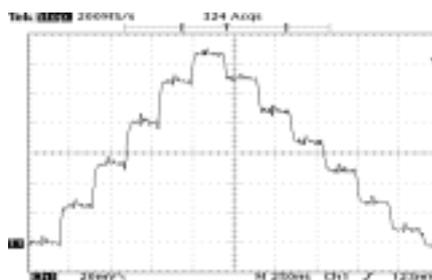


図5 CSI過渡特性(実測)

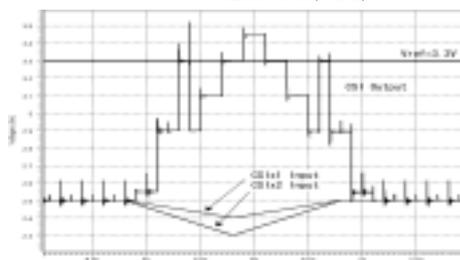


図6 2レンジ動作波形(クロック式)

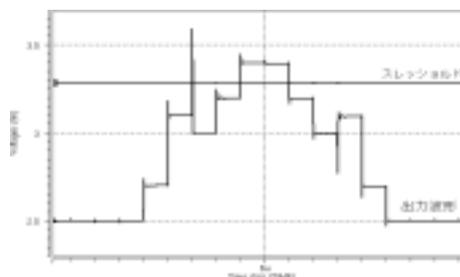


図7 2レンジ動作波形(リニア)

図6と図7に2つのレンジを切り替えたときのシミュレーション波形を示す。スレッシュホールドを

境に2倍から1倍に切り替わっている。クロック式のコンパレータを用いた場合、スパイクノイズと切り替え時のノイズが激しいことがわかる。一方、リニアコンパレータの場合は、クロックノイズは消え、わずかな切り替え時のノイズだけが残っている。

### 3.2. DC 特性

20個のLSIを用いてDC特性の測定を行った。この測定では、パルスジェネレータを用いて、幅200nsecの三角波を作り波高値を2.5Vから1.7Vまで(0pCから104pCに相当)CSIに入力して出力電圧を測定した。ここで、CSIの基準電位を2.5Vとしたが、すべての図は2.5Vを0Vとしてプロットしている。図中では、2.5Vが5V(電源電圧)である。

すべてのLSIの測定結果を図8にまとめて示す。この図より20個中4個のチップが動作不良を起こしていることがわかる。この4つのチップの動作不良は、集積回路の製造時に起きる初期不良と考えられる。

図9に正しく動作したLSIの平均値を誤差とともに示す。直線は、60pCまでの点を用いて最小2乗法を用いてフィットしたものである。すべてのLSIにおいて、約60pCまでの電荷量であれば、線形性が保たれていることがわかる。この領域では、誤差もほとんど等しくばらつきも一定だと考えられる。

図10は、各チャンネル別に不良を除いたLSI

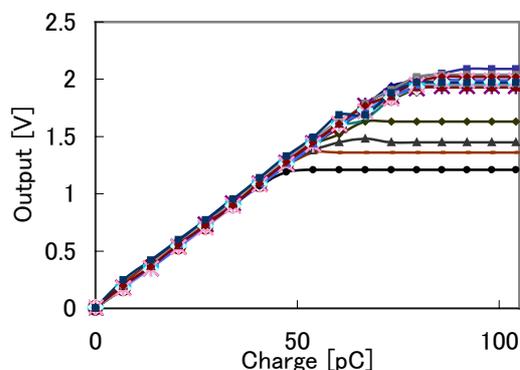


図8 入出力特性 (ch1のみ)

の平均値を示す。図よりch1の飽和電圧が一番大きく、次第に小さくなっていることがわかる。この原因は、電源ラインがch1側からch4側へ伸びており、電源ラインの抵抗による電圧降下によるものと考えられる。

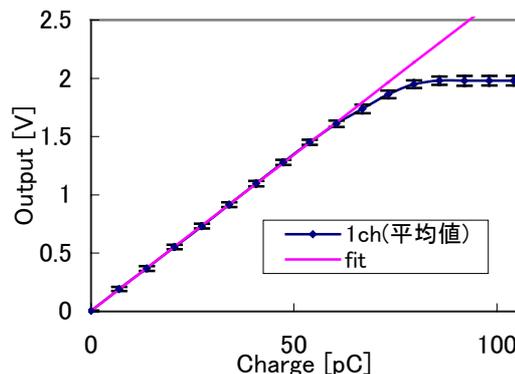


図9 不良を除いたLSIの平均値とばらつき(ch1のみ)

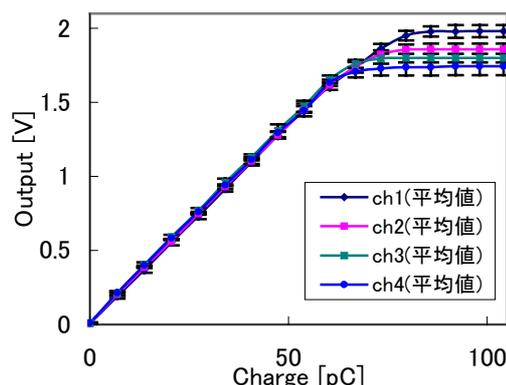


図10 リニアリティー(4ch分)

### 3.3. オフセット

CSIに一定電圧を入力して出力電圧を測定した。この測定では高周波ノイズ成分を除去するために20MHzのカットオフ周波数をもつローパスフィルタを挿入して観測している。

図11(上)は、入力電圧2.5Vの時の出力電圧である。この図より4クロックごとの波形パターンであることがわかる。CSIは、4つの電荷積分器で構成されているため、オフセット電圧の違いが現れているものと考えられる。この図より、オフセット電圧の最大値は15mVであることがわかる。このオフセット誤差には、グラウンドラインの

配線長の違いも影響しているものと考えられる。

図 11(下)は、入力電圧 2.2V の時の波形である。この時、CSI からの出力電圧の最大誤差は 35mV となる。このバラツキには、オフセット誤差とコンデンサのバラツキが含まれているものと考えられる。

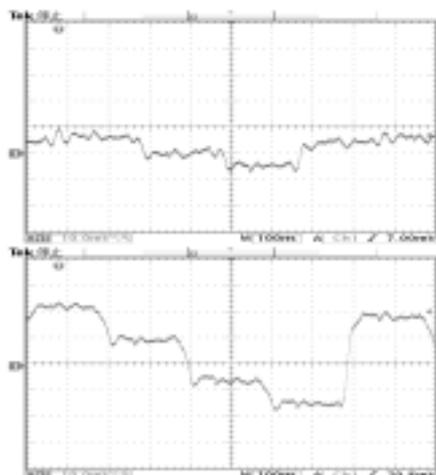


図 11 CSI のオフセット電圧

### 3.4. ノイズ特性

図 12 に 2.5V 一定電圧入力時の CSI 出力波形を示す。100nsec 周期で激しいノイズが観測される。このノイズは、5MHz のクロックの立ち上がりと立下りに同期している。Rotator や、クロック式コンパレータに使用しているクロックが、配線間やサブストレートを伝ってアナログ回路に影響を及ぼしていると推測される。

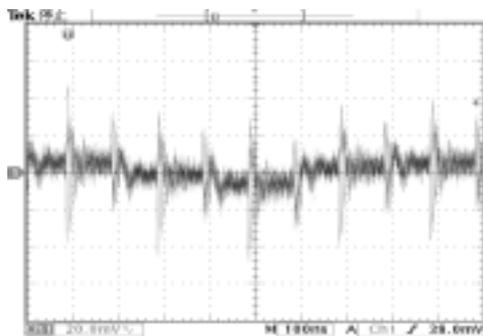


図 12 クロックノイズ

## 4. 考察

### 4.1. DC 特性およびオフセット

今回、測定を行った CSI は、図 13(左)のように

接続していたため、電源とグラウンドラインからくるメタルラインのわずかな抵抗差により電圧降下が生じているものと考えられる。これは、最大電圧の降下とオフセット電圧として現れる可能性がある。この問題を解決するためには、電源ラインとグラウンドラインを同じ長さにするればよい。そこで図 13(右)のような Tree 構造を用い、電源ラインの均等化を行うことを提案する。基準電圧ラインに関してもこのレイアウトを行ったほうが良い。

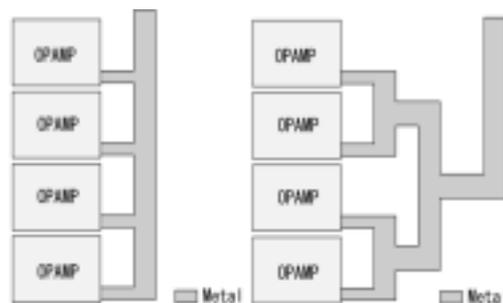


図 13 Tree 構造の電源およびグラウンドライン

この方法を用いることにより 4 つの積分器出力のばらつきは、コンデンサの容量ばらつきと OP アンプ自体のオフセットによるものだけになり、20mV 以下にできる可能性がある。

### 4.2. 過渡特性

クロック式のコンパレータを用いるとレンジ切り替え時のスパイクノイズが、サンプリングタイミングと重なることが懸念される。このため、リニアコンパレータを用いた回路を考えたほうが良い。しかし、クロック式に比べてリニアコンパレータは、スルーレートが小さく、ノイズによる誤動作をする可能性が高い。誤動作を起こさないためには、ヒステリシスを持ったコンパレータを使う必要がある。

### 4.3. ノイズ特性

CSI は、アナログデジタル混載 LSI であるためクロストークノイズが問題となる。このノイズは、レイアウト設計によりある程度までは低減できるため、以下のような対策を用いる。

- ブロック毎に、アナログ回路とデジタル回路電源ラインを分離する

- b) N-Well ガードリングによる、サブストレートでのアナログ領域とデジタル領域を分離する (図 14 参照)
- c) センシティブなアナログ回路とデジタル回路をできるだけ遠くに離す
- b) LSI 内部にできるだけ多くのバイパスコンデンサを使用する

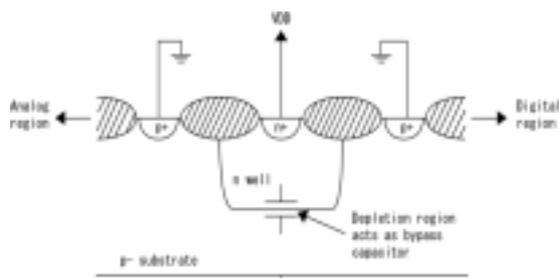


図 14 N-Well ガードリング

#### 4.4. 量産用 CSI の開発

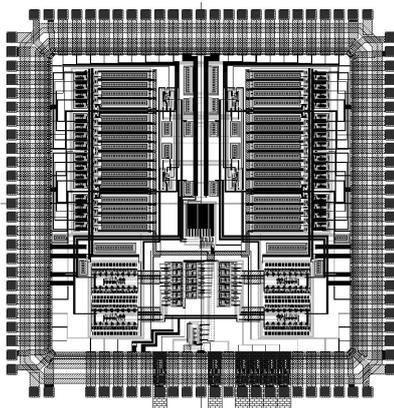


図 15 量産試作 LSI のレイアウト図 (3.9mm 角)

図 15 は、これまで考察した問題点を改善した LSI のレイアウト図である。この LSI では、電源ラインによる電圧降下をできるだけ少なくするために、両サイド 2 列に CSI を配置した。すべての配線は、できるだけ左右対称にレイアウトしている。ノイズ発生源となる Rotator はレイアウト図の一番下のほうに位置し、アナログ回路からできるだけ遠ざけている。さらに、Rotator から出力されるすべてのクロックラインは、シールドされている。電源ラインは、それぞれの部品にできるだけ独立にした。また、電源ラインにはできる限り多くのバイパスコンデンサを配置した[5]。

#### 5. まとめ

今回、アナログデジタル混載 CMOS LSI である CSI の設計・試作・測定を行った。この測定から、電源とグラウンドラインの配線長の違いから、最大 15mV のオフセットばらつきが確認された。コンデンサのばらつきを含めると最大 35mV のオフセットばらつきがあった。これは、ディスクリート部品で作られた CSI とほぼ同等の値である。考察を行った結果、Tree 構造を用いたレイアウトを行うことで 20mV ぐらいまで抑えることができることがわかった。

また、テスト LSI では  $V_{p-p}=80mV$  のクロックノイズが CSI 出力に現れていた。これも、リニアコンパレータコンパレータの使用とクロックラインのシールドにより解決できるものと考えている。

現在、これらの問題をすべて改善した量産用 LSI を試作中である。今後、この LSI の特性を測定し性能の改善を確認してほしい。

#### 参考文献

- [1] The Telescope Array Project Design Report, The TA Collaboration, 19 July 2000.
- [2] Y. Arai, T. Aoki, M. Fukutomi, et al., "Development of Front-End Electronics for the Telescope Array Project" Proc. of 26th International Cosmic Ray Conference, Salt Lake City, Utah, August 17-25, Vol.5, pp. 393-396 (1999).
- [3] VDEC のホームページ  
<http://www.vdec.u-tokyo.ac.jp>
- [4] W. Buttler, B.J. Hosticka and G. Lutz "Noise Filtering for Readout Electronics" Nuclear Instruments and Methods in Physics Research, A288 pp.187-190 (1990).
- [5] 酒井 雅司, 福富 雅彦 "逐次電荷積分 LSI の量産化試作" 電気関係学会九州支部第 53 回 連合大会講演論文集, pp.398, 2000